

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189949

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 08-343025

(71)Applicant : SONY CORP

(22)Date of filing : 24.12.1996

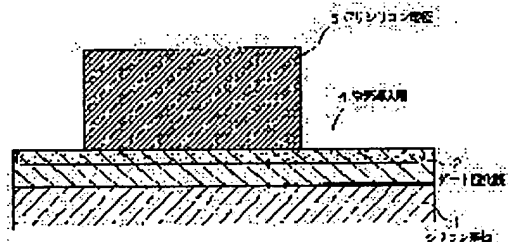
(72)Inventor : TAKAHASHI HIROSHI

(54) MOS SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent impurities from being diffused into a silicon substrate by introducing nitrogen, not into a gate electrode or the silicon substrate but only into the vicinity of a gate electrode and a gate oxide.

SOLUTION: A gate oxide layer 2 is formed through thermal oxidation of a silicon substrate 1, and annealing is performed in an oxygen nitride (NO) atmosphere. A polysilicon electrode 3 is then formed by CVD and shaped into a gate electrode which is implanted with ions. Subsequently, a gate, a source and a drain are activated through doping and heat treatment. Since the silicon substrate 1 is subjected to laser annealing in an oxygen nitride atmosphere, energy of laser beam is absorbed by thermal oxide and since a temperature exceeding the critical reaction point of oxygen nitrogen is reached in the vicinity of the surface of the gate oxide layer 2 where the energy of laser beam is concentrated, nitrogen is distributed to form a nitrogen introducing layer 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-189949

(43)公開日 平成10年(1998)7月21日

(51)Int.Cl.⁹

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 G

審査請求 未請求 請求項の数3 OL (全 5 頁)

(21)出願番号

特願平8-343025

(22)出願日

平成8年(1996)12月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 高橋 洋

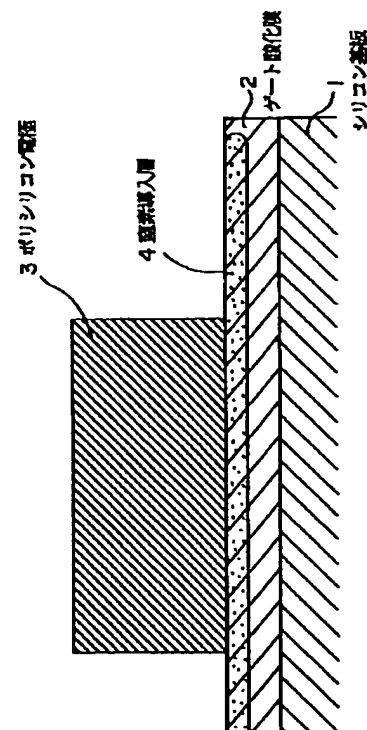
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(54)【発明の名称】 MOS型半導体装置およびその製造方法

(57)【要約】

【課題】 ゲート電極やシリコン基板には窒素を導入させず、ゲート電極とゲート酸化膜の界面付近のみに窒素を導入し、不純物がシリコン基板に拡散することを防止する。

【解決手段】 シリコン基板1の熱酸化によってゲート酸化膜2を形成し、窒化酸素(NO)雰囲気中でレーザーアニールを行い、ポリシリコンのCVDによりポリシリコン電極3を形成し、ゲート電極301に加工したあと、イオン注入し、ゲートとソースおよびドレインをドーピングし、熱処理を行うことにより活性化する。シリコン基板1を窒化酸素雰囲気中でレーザーアニール処理するため、レーザー光のエネルギーは熱酸化膜に吸収され、レーザー光のエネルギーの集中しているゲート酸化膜2の表面近傍は、窒化酸素の反応臨界点を越える温度に到達して窒素が分布し、窒素導入層4が形成される。



【特許請求の範囲】

【請求項1】 シリコン基板上のゲート酸化膜にポリシリコン電極が形成されたMOS型半導体装置において、前記ポリシリコン電極と前記ゲート酸化膜の界面に窒素導入層を形成した、

ことを特徴とするMOS型半導体装置。

【請求項2】 シリコン基板上のゲート酸化膜にポリシリコン電極を形成し、イオン注入によりゲートとソース・ドレインをドーピングし、熱処理により活性化するMOS型半導体装置の製造方法において、

前記シリコン基板にゲート酸化膜を形成した後、窒化酸素雰囲気中で前記シリコン基板をレーザーアニールして前記ゲート酸化膜の表面に窒素を導入する、

ことを特徴とするMOS型半導体装置の製造方法。

【請求項3】 前記レーザーアニールは、前記ゲート酸化膜の酸化シリコンに吸収されやすい波長のレーザーを用いることを特徴とする請求項2記載のMOS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS型半導体装置およびその製造方法に関し、詳しくは、ポリシリコン電極とシリコン基板の界面にのみ窒素を導入して窒素導入層を形成したMOS型半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】MOS型半導体装置は、低電圧化や高速化の要求を受けてそのゲート酸化膜は世代ごとに薄膜化する傾向になっている。これにともなって、ポリシリコン電極（ゲート電極）にドーピングされた不純物（ボロン、リン、砒素等）がゲート酸化膜を通過してシリコン基板中に拡散する現象が問題になっている。

【0003】特に、P型半導体との仕事関数の差をなくし、しきい（閾）値電圧の制御範囲のマージンを大きくする目的で導入されたゲート電極へのボロンのドーピングは、その拡散定数の大きさのため、より制御を困難にしている。これを克服するため、図4に示すように、ゲート酸化膜2やシリコン基板1あるいはゲート電極3に窒素を導入し、窒素導入層4を形成する方法が用いられている。このように、シリコン基板1あるいはゲート酸化膜2に導入した窒素導入層4により不純物の拡散を止めるようにしている。

【0004】窒素を導入する方法としては、酸化窒素中での熱処理、あるいは窒素イオン注入等が一般に用いられている（特開平5-121699号公報、特開平6-104252号公報公報参照）。図5に示す方法は、窒素イオン注入方式であって、ポリシリコン電極の形成前にゲート酸化膜2上から窒素イオンをシリコン基板1に向けて注入する。窒素導入層4はシリコン基板1の中ま

している。

【0005】図6に示す方法も窒素イオン注入方式であって、ゲート電極3の形成後に、ゲート電極3上から窒素イオンを注入する。窒素導入層4はゲート酸化膜2およびゲート電極3に入り、ゲート電極3およびゲート酸化膜2中に分布している。

【0006】また、図7に示す方法は、酸化窒素中で熱処理する方式であって、シリコン基板1上に熱酸化処理で形成した熱酸化膜を窒化処理および再酸化処理して窒化酸化膜を形成する工程において、再酸化処理を窒化酸素中で行うようにしたものである。この方式における窒素導入層4はシリコン基板1まで拡散している。

【0007】

【発明が解決しようとする課題】従来における酸化窒素中での熱処理、あるいは窒素イオン注入等の方法で窒素を導入したとき生じる問題は、不純物の活性化率の低下にある。シリコン中に導入された窒素は、ドーピングされた不純物と結合し、ゲート電極内の自由電子を殺してしまう効果がある。ゲート電極3に窒素が導入された場合、活性化率の低下による自由電子数の現象によってゲート電極3の空乏化を招く。これによって、ゲート電極3とシリコン基板1間には新たな空乏層容量が発生し、トランジスタの性能低下を引き起こす。

【0008】また、シリコン基板1に窒素が導入された場合は、トランジスタのオン電流の低下もしくはGmの劣化につながる。これらの問題を回避するためには、ゲート電極3およびシリコン基板1には窒素を導入せず、ゲート電極3とゲート酸化膜2の界面近傍の数nm内に窒素を集中させる必要がある。ところが、窒化酸素中の熱処理や窒素イオン注入の方式では、窒素の分布に10nm以上の拡がりが出てしまうため、ゲート酸化膜2の膜厚が5nmを切るようなデバイスにおいては、ゲート電極3もしくはシリコン基板1への窒素の混入を防ぐことは不可能であった。本発明は上述の点に着目してなされたもので、ゲート電極やシリコン基板には窒素を導入させず、ゲート電極とゲート酸化膜の界面付近のみに窒素を導入し、不純物がシリコン基板に拡散することを防止したMOS型半導体およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】前記目的を達成するため、本発明は、シリコン基板上のゲート酸化膜にポリシリコン電極が形成されたMOS型半導体装置において、前記ポリシリコン電極と前記ゲート酸化膜の界面に窒素導入層を形成したことを特徴としている。また、本発明は、シリコン基板上のゲート酸化膜にポリシリコン電極を形成し、イオン注入によりゲートとソース・ドレインをドーピングし、熱処理により活性化するMOS型半導体装置の製造方法において、前記シリコン基板にゲート

基板をレーザーアニールして前記ゲート酸化膜の表面に窒素を導入することを特徴としている。

【0010】そして、本発明では、前記レーザーアニールは、前記ゲート酸化膜の酸化シリコンに吸収されやすく、かつ前記シリコン基板に吸収されにくい波長のレーザーを用いることが好ましい。レーザーアニールを用いると、レーザー光のエネルギーはゲート酸化膜の熱酸化膜に吸収されるため、シリコン基板に達するまでに減衰し、熱酸化膜の極表面のみが加熱される。

【0011】レーザー光のエネルギーの集中している表面近傍は、窒化酸素の反応臨界点を越える温度に到達し、ゲート酸化膜の表面近傍のみに窒素が分布する。この後にポリシリコン電極を形成すれば、ポリシリコン電極とゲート酸化膜の界面に窒素導入層が分布し、ゲート電極からの不純物の拡散は全てこの界面でブロックされる。従って、シリコン基板やゲート電極中に窒素が混入しないので、不純物の活性化率が低下することも防止できる。

【0012】

【発明の実施の形態】以下、本発明を図面に示す実施の形態に基づいて説明する。なお、図5ないし図7と同一部材または同一機能のものは同一符号で示している。本発明の製造方法は、ゲート酸化したシリコン基板1を窒化酸素雰囲気中でレーザーアニール処理する方法を用いたものである。前記した従来技術のように、窒化酸素雰囲気中で熱処理した場合、熱処理方法（FA、RTA）のいかに関係なくシリコン基板1もゲート酸化膜2も同様に加熱される。この場合、シリコン基板1の表面から導入された窒素はそのままゲート酸化膜2中に拡散し、シリコン基板1に到達する。

【0013】本発明では、レーザーアニールを用いるため、図2に示すように、レーザー光のエネルギーは熱酸化膜に吸収され、シリコン基板1に達するまでに減衰し、熱酸化膜の極表面のみが加熱される。レーザー光のエネルギーの集中している表面近傍は、窒化酸素の反応臨界点を越える温度に到達し、図2に示すように、ゲート酸化膜2の表面近傍のみに窒素が分布する。

【0014】この後にポリシリコン電極3を形成すれば、図1に示すように、ポリシリコン電極（ゲート電極）3とゲート酸化膜2の界面に窒素導入層4が分布し、ポリシリコン電極3からの不純物の拡散は全てこの界面でブロックされる。また、シリコン基板1やポリシリコン電極3中に窒素が混入しないので、不純物の活性化率が低下することも防止できる。

【0015】〔実施例〕以下、図3を参照して実施例により本発明を具体的に説明する。まず、図3（A）に示すように、シリコン基板1の熱酸化によって4nm厚の酸化シリコン膜（SiO₂）のゲート酸化膜2を形成する。次いで、図3（B）に示すように、窒化酸素（N

m）を行う。

【0016】酸化シリコンに吸収されやすいレーザーの波長は、酸化シリコンの吸収波長のピークである波長=9.35 μ mである。このようなレーザーは、例えばCO₂-N₂系のガスレーザーで9.35 μ mの波長に近い、例えば1070カイザーのものを選択すれば、最適なものが得られる。また、シリコン基板1に深く入りこみにくい波長であれば同様の効果が得られるので、例えばエキシマレーザーで波長200nm~300nm程度のもの（XeCl, ArF, KrF）等も用いることが可能である。レーザーの照射エネルギーは、およそ数10~数100mJ/cm²が必要である。

【0017】次いで、図3（C）に示すように、ポリシリコンのCVDにより200nm厚のポリシリコン電極3を形成する。次いで、図3（D）に示すように、ホトリソグラフィによってパターニングを行い、ドライエッチングによりポリシリコンのゲート電極3に加工する。次いで、図3（E）に示すように、イオン化したボロンを、10KeVの加速エネルギー、3 \times 10¹⁵の濃度で注入することにより、ゲートとソースおよびドレイン5をドーピングする。最後に急速高温加熱（RTA）により、1050 $^{\circ}$ Cで10秒間熱処理を行うことにより、図3（F）に示すように活性化する。

【0018】以上のように、本実施の形態では、ゲート酸化膜2の形成後に窒化酸素雰囲気中でレーザーアニールするようにしたため、レーザー光のエネルギーは熱酸化膜に吸収され、シリコン基板1に達するまでに減衰し、熱酸化膜の極表面のみが加熱され、ゲート酸化膜2の表面近傍のみに窒素が分布する。したがって、ポリシリコン電極からの不純物の拡散は全てこの窒素導入層4の界面でブロックされると共に、シリコン基板1やポリシリコン電極3中に窒素が混入しないので、不純物の活性化率が低下することも防止できる。

【0019】

【発明の効果】以上、詳述したように、本発明のMOS型半導体装置によれば、ポリシリコン電極と前記ゲート酸化膜の界面に窒素導入層を形成したので、ポリシリコン電極からの不純物の拡散は全て窒素導入層の界面でブロックされシリコン基板に拡散すること防止されると共に、シリコン基板やポリシリコン電極中に窒素が混入しないので、不純物の活性化率が低下することも防止できる。

【0020】また、本発明のMOS型半導体装置の製造方法によれば、シリコン基板にゲート酸化膜を形成した後、窒化酸素雰囲気中で前記シリコン基板をレーザーアニールして前記ゲート酸化膜の表面に窒素を導入するようにしたので、シリコン基板やゲート電極に窒素が入り込むことなく、ゲート電極とゲート酸化膜の界面付近に窒素を導入することが可能となり、特にゲート酸化膜の

5

への窒素の混入を防止できる。

【図面の簡単な説明】

【図1】本発明のMOS型半導体装置の実施の形態を示すゲート部の断面図である。

【図2】本発明方法による酸化膜表面への窒素拡散の原理を示す説明用断面図である。

【図3】(A)～(F)は本発明方法の処理工程を示す説明用断面図である。

【図4】従来のMOS型半導体装置におけるゲート部の断面図である。

10

6

【図5】従来の窒素イオン注入方式の処理工程を示す説明用断面図である。

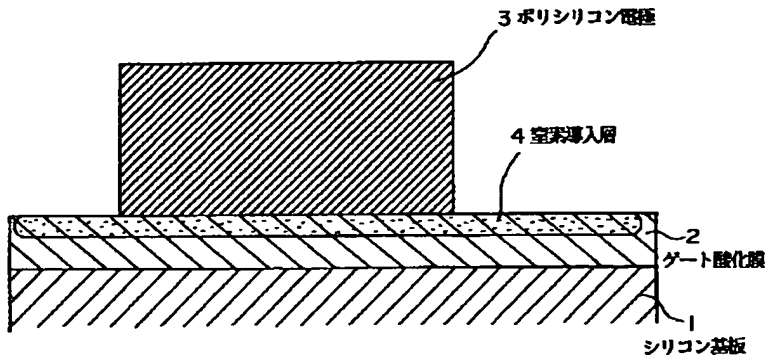
【図6】他の従来の窒素イオン注入方式の処理工程を示す説明用断面図である。

【図7】従来の熱処理方式の処理工程を示す説明用断面図である。

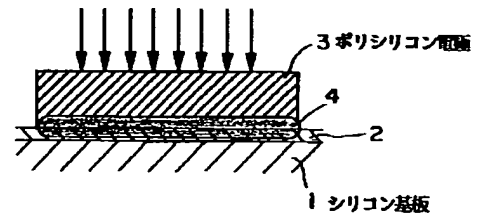
【符号の説明】

1……シリコン基板、2……ゲート酸化膜、3……ポリシリコン電極、4……窒素導入層。

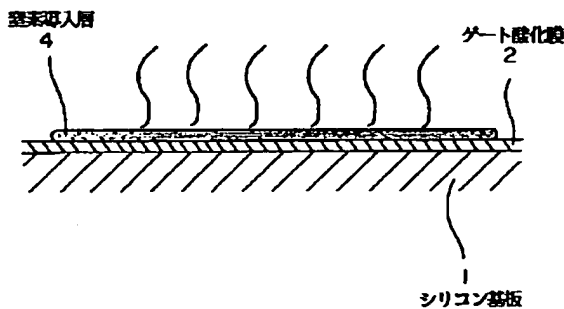
【図1】



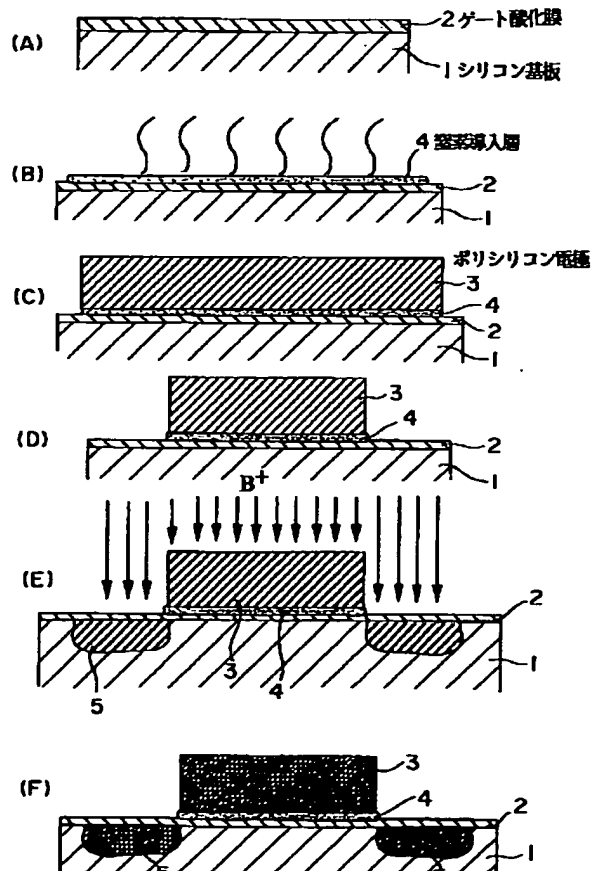
【図6】



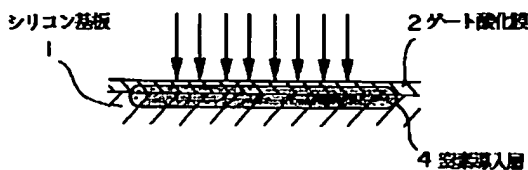
【図2】



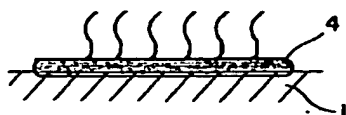
【図3】



【図5】



【図7】



【図4】

